

Docket No.: 50195-392

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshio SHIMOIDA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 06, 2003	:	Examiner: Unknown
	:	
For:		STACKED SEMICONDUCTOR MODULE AND ASSEMBLING METHOD OF THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

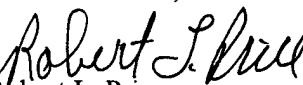
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-301565, filed October 16, 2002
Japanese Patent Application No. 2003-157857, filed June 3, 2003

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Robert L. Price
Registration No. 22,685

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 RLP:tlb
Facsimile: (202) 756-8087
Date: October 6, 2003

50195-392
SHIMOIDA et al.
October 6, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 6 日
Date of Application:

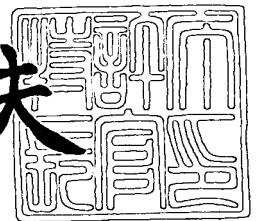
出 願 番 号 特 願 2 0 0 2 - 3 0 1 5 6 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 0 1 5 6 5]

出 願 人 日 産 自 動 車 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 8 7 6

【書類名】 特許願

【整理番号】 NM02-00857

【提出日】 平成14年10月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/07
H01L 25/18
H01L 21/52

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
日産自動車株式会社内

【氏名】 下井田 良雄

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
日産自動車株式会社内

【氏名】 篠原 俊朗

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地
日産自動車株式会社内

【氏名】 林 哲也

【特許出願人】

【識別番号】 000003997

【氏名又は名称】 日産自動車株式会社

【代理人】

【識別番号】 100075753

【弁理士】

【氏名又は名称】 和泉 良彦

【電話番号】 03-3214-0502

【手数料の表示】

【予納台帳番号】 084480

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707175

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 積層型半導体装置およびその組み立て方法

【特許請求の範囲】

【請求項 1】

第 1 主面側に第 1 の主電極を有し、第 2 主面側に第 2 の主電極を有する半導体素子を形成する半導体チップが複数積層されて成る積層型半導体装置において、前記各半導体チップの第 1 の主電極及び第 2 の主電極はそれぞれ金属配線層に電氣的に接続され、積層された前記半導体チップの間では、向かい合う前記主面側同士が共通の金属配線層に接続されていることを特徴する積層型半導体装置。

【請求項 2】

請求項 1 記載の積層型半導体装置において、上下に 2 つの前記半導体素子が積層され、上側に積層される半導体素子の第 1 の主電極は高電圧が印加される金属配線層に電氣的に接続され、前記上側に積層される半導体素子の第 2 の主電極と、下側に積層される半導体素子の第 1 の主電極が共通の出力配線層に電氣的に接続され、前記下側に接続される半導体素子の第 2 の主電極は低電圧が印加される金属配線層に接続されていることを特徴とする積層型半導体装置。

【請求項 3】

請求項 2 記載の積層型半導体装置において、前記半導体素子は複数の半導体チップの並列接続により形成されていることを特徴とする積層型半導体装置。

【請求項 4】

請求項 2 記載の積層型半導体装置において、前記半導体素子は、第 2 主面側に制御電極を有するパワートランジスタであり、前記制御電極は、前記第 2 主面側において前記出力配線層及び低電圧が印加される金属配線層とは電氣的に絶縁され、前記上下 2 つの半導体素子によりハーフブリッジを形成していることを特徴とする積層型半導体装置。

【請求項 5】

請求項 2 または 3 記載の積層型半導体装置において、前記半導体素子は、前記第 2 主面側から第 1 主面側に向かって順方向の電流を流すダイオードであることを特徴とする積層型半導体装置。

**【請求項 6】**

請求項 2 または 3 記載の積層型半導体装置において、前記半導体素子は、第 1 主面側に制御電極を有するパワートランジスタと、前記第 2 主面側から第 1 主面側に向かって順方向の電流を流すダイオードが並列に接続されて成ることを特徴とする積層型半導体装置。

【請求項 7】

請求項 6 記載の積層型半導体装置の組み立て方法において、前記高電圧が印加される金属配線層、前記上側の半導体素子、前記出力配線層、前記下側の半導体素子、前記低電圧が印加される金属配線層から成る積層構造を機械的圧力により接続することを特徴とする積層型半導体装置の組み立て方法。

【請求項 8】

請求項 6 記載の積層型半導体装置において、前記ハーフブリッジが並列に 2 ～ 3 個接続され、前記高電圧が印加される金属配線層は全て共通とし、前記出力配線層は並列数に応じて 2 ～ 3 個持ち、前記低電圧が印加される金属配線層は全て共通となっていることを特徴とする積層型半導体装置。

【請求項 9】

請求項 7 記載の積層型半導体装置の組み立て方法において、前記高電圧が印加される金属配線層と前記出力配線層を電氣的に絶縁する第 1 の絶縁層と、前記出力配線層と前記低電圧が印加される金属配線層とを電氣的に絶縁する第 2 の絶縁層とを有し、前記第 1 の絶縁層の平面的な配置により、前記上側の半導体素子を圧接する際の位置合わせを行い、前記第 2 の絶縁層の平面的な配置により、前記下側の半導体素子を圧接する際の位置合わせを行うことを特徴とする積層型半導体装置の組み立て方法。

【請求項 10】

請求項 6 記載の積層型半導体装置において、前記上側の半導体素子を形成する前記半導体チップと、前記下側の半導体素子を形成する前記半導体チップとが平面的に上下に重なり合わない領域を有し、該平面的に上下に重なり合わない領域に、前記制御電極と電氣的に接続される制御電極取り出し用金属配線層が形成され、該制御電極取り出し用金属配線層は他の金属配線層とは電氣的に絶縁されて

いることを特徴とする積層型半導体装置。

【請求項 1 1】

請求項 1 0 記載の積層型半導体装置において、前記上側の半導体素子は複数の前記半導体チップの並列接続により形成され、前記下側の半導体素子は複数の半導体チップの並列接続により形成され、前記上側の複数の半導体チップと前記下側の複数の半導体チップは同一方向に平面的にずらして配置され、上下に重なり合わない領域を持ち、該平面的に上下に重なり合わない領域に前記制御電極と電氣的に接続される制御電極取り出し用金属配線層が形成され、該制御電極取り出し用金属配線層は他の金属配線層とは電氣的に絶縁されていることを特徴とする積層型半導体装置。

【請求項 1 2】

請求項 2 または 3 記載の積層型半導体装置において、前記半導体素子は、第 1 主面側に制御電極を有する P c h 型パワートランジスタと、第 2 主面側に制御電極を有する N c h 型パワートランジスタとから成るコンプリメンタリ型の接続を有し、上側に位置する前記 P c h 型パワートランジスタの制御電極は、前記第 1 主面側において前記高電圧が印加される金属配線層とは電氣的に絶縁され、下側に位置する前記 N c h 型パワートランジスタの制御電極は、前記第 2 主面側において前記低電圧が印加される金属配線層とは電氣的に絶縁され、前記上下 2 つの半導体素子によりハーフブリッジを形成していることを特徴とする積層型半導体装置。

【請求項 1 3】

請求項 1 2 記載の積層型半導体装置において、前記半導体素子は、前記 P c h、N c h 型各々のパワートランジスタと、前記第 2 主面側から第 1 主面側に向かって順方向の電流を流すダイオードが並列に接続されていることを特徴とする積層型半導体装置。

【請求項 1 4】

請求項 1 3 記載の積層型半導体装置の組み立て方法において、前記高電圧が印加される金属配線層、前記上側の P c h 型半導体素子、前記出力配線層、前記下側の N c h 型半導体素子、前記低電圧が印加される金属配線層から成る積層構造

を機械的圧力により接続することを特徴とする積層型半導体装置の組み立て方法。

【請求項 1 5】

請求項 1 3 記載の積層型半導体装置において、前記ハーフブリッジが並列に 2 ～ 3 個接続され、前記高電圧が印加される金属配線層は全て共通とし、前記出力配線層は並列数に応じて 2 ～ 3 個持ち、前記低電圧が印加される金属配線層は全て共通となっていることを特徴とする積層型半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、積層型半導体装置およびその組み立て方法に関する。

【0 0 0 2】

【従来の技術】

【特許文献】 特開 2 0 0 1 - 2 9 8 1 5 2 号公報。

【0 0 0 3】

本発明の従来技術の例としては、上記特許文献が挙げられる。上記特許文献においては、パワーデバイスである複数の半導体チップの圧接実装において、共通制御信号電極は多層配線基板で構成され、複数のパワーデバイスの空きスペースを有効に活用して制御信号経路を構成するものである。

【0 0 0 4】

【発明が解決しようとする課題】

しかし、上記特許文献においては、複数の半導体チップの表面において第 1 の共通電極を接続し、半導体チップは平面的に並列に並べる構成となっているため、半導体装置全体が大きくなってしまいう問題があった。

【0 0 0 5】

本発明の目的は、小型化に有利な積層型半導体装置およびその組み立て方法を提供することにある。

【0 0 0 6】

【課題を解決するための手段】

上記課題を解決するため、本発明は、第 1 主面側に第 1 の主電極を有し、第 2 主面側に第 2 の主電極を有する半導体チップが複数積層され、各半導体チップの第 1 及び第 2 の主電極はそれぞれ金属配線層に電氣的に接続され、半導体チップの間では、向かい合う主面側同士が共通の金属配線層に接続されている。

【 0 0 0 7 】

【発明の効果】

本発明によれば、小型化に有利な積層型半導体装置およびその組み立て方法を提供することができる。

【 0 0 0 8 】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

実施の形態 1

本発明の実施の形態 1 を図面に基づいて説明する。図 1 (a) は、本発明における実施の形態 1 を示す構造鳥瞰図である。手前に見える 3 つの各半導体チップ（すなわち、パワートランジスタ 1 ～ 6）は向かって上側にドレイン電極、下側にソース電極とゲート電極を有する構造とする。紙面奥行き方向には、上側にカソード、下側にアノード電極を有するダイオード 1 4 ～ 1 9（図 1 (c)、図 3 参照）が形成される。

U 相上側のパワートランジスタ 1 である半導体チップは上面が熱緩衝材 1 a を介して P 相バスバー（金属配線層） 7 に接続されている。パワートランジスタ 1 の下面は熱緩衝材 1 b を介して U 相バスバー 8 に接続されている。

U 相下側のパワートランジスタ 2 である半導体チップは、上面が熱緩衝材 2 a を介して U 相バスバー 8 に接続されている。パワートランジスタ 2 の下面は熱緩衝材 2 b を介して N 相バスバー 1 1 U に接続される。U 相バスバー 8 が 2 つの半導体チップ（パワートランジスタ 1、2）に挟まれる形になるのが特徴である。

ここで、U 相バスバー 8 の一部は半導体チップに熱緩衝材 1 b、2 a を介して

接続されない、平面的にくびれた領域を有し、この領域にはパワートランジスタ 1 のゲートパッドが存在し、この領域でもって U 相上側のパワートランジスタ 1 を駆動する制御電極取り出し用配線 12 U が半導体チップに熱緩衝材 1 b、2 a を介して接続されている。

同様に、U 相下側の半導体チップにとっても U 相下側のパワートランジスタ 2 を駆動する制御電極取り出し用配線 13 U が形成される。ここで各制御電極取り出し用配線は、他の配線層や半導体チップとは電氣的に絶縁されている。

以上 U 相について説明したが、V 相、W 相についても同様な構成となり、上側の半導体チップにとって P 相バスバー 7 は全て共通である。

N 相バスバー 11 は図 1 中、11 U、11 V、11 W と分けて記載したが、紙面奥行き方向にて共通になっており、下側の半導体チップにとっては全て共通である。

また、紙面奥行き方向でパワートランジスタ 1～6 とは並列に還流用ダイオード 14～19 (図 1 (c)、図 3 参照) が同様に積層されている。上側還流用ダイオード 14、16、18 についても P 相バスバー 7 は全て共通であり、下側還流用ダイオード 15、17、19 についても N 相バスバー 11 も共通になっている。

【0009】

図 1 (a) における、a-a、b-b、c-c の破線に沿った断面構造をそれぞれ、図 1 (b)、(c)、図 2 に示す。

図 1 (b) については、上記で説明したパワートランジスタ 1～6 が存在する領域の断面であり、各制御電極取り出し用配線 12 u～12 w、13 u～13 w が存在し、他の配線層とは絶縁されていることが判る。

図 1 (c) は還流用ダイオード 14～19 が存在する領域の断面である。

図 2 はパワートランジスタ 1～6 と還流用ダイオード 14～19 がそれぞれ並列に接続された状態を示している。

図 3 は、以上で示した 3 相の構成を回路図で表したものであり、所謂 3 相インバータを形成している。

図 4 は、図 1、図 2 で説明した各構成要素がどのように積層されているかを詳

しく説明した図である。

図4に示すごとく、P相バスバー7、N相バスバー11が共通である。また、半導体チップのゲートパッドが存在する領域が制御電極取り出し用配線12u～12w、13u～13wに接続され、他の配線層とは絶縁を保ちながら積層が可能となるよう、U相バスバー8、V相バスバー9、W相バスバー10の一部にくびれが存在していることが特徴である。

【0010】

以上の構造で説明したように、1レグを構成する2つの半導体チップが上下に積層され、バスバーと平面で接続される構造を持つため、従来の技術に比べて素子が占める平面的な面積（アクティブな領域）を実質的に半分に低減できるという効果がある。

また、ワイヤボンド等を用いずにスイッチング素子の制御端子を取り出せる構造が可能であり、圧接構造に適用しても十分に機能する。

また、全ての半導体チップにおいて、バスバーと半導体チップの電極領域が、熱緩衝材を介してダイレクトに大きな面積で接続されるため、半導体チップとバスバー間の寄生インダクタンスが極限まで低減できるという効果がある。このため、3相インバータで動作させる場合には、寄生インダクタンスによるスイッチング過渡時の跳ね上がり電圧が抑えられるので、半導体チップにとっては許容ドレインソース間電圧を小さく抑えた設計が可能になり、コスト低減に寄与するという効果もある。それに伴い、素子を保護するためのスナバ回路等を簡略化できるので、システムトータルとしてのコスト低減が可能になるという効果がある。

【0011】

なお、ここまでの説明においては、1つの半導体素子を1つの半導体チップとしたが、複数の半導体素子が複数並列に接続された構成であっても構わない。その場合、素子の電流容量を大きくできるという効果がある。

また、本発明は各要素を圧接により固定する構成を示したが、半田による固定を用いた積層構造でも構わない。

また、スイッチング素子としてのパワートランジスタは、シリコンによるパワ

—MOSFETでもIGBTでも構わないが、高速、低損失、耐高温特性を持つSiC（炭化珪素）によるパワーMOSFETやその他のスイッチング素子でも構わない。

また、ダイオードについてはシリコンの所謂FRD（ファースト・リカバリ・ダイオード）で構わないが、SiCによる高速、低損失なダイオードでも構わない。

【0012】

また、SiCによるスイッチング素子を用いた場合、圧接構造をとることにより、ワイヤボンドによる接続や半田による素子の実装が不要になり、インバータ全体としてより高温に耐えられる半導体装置が実現可能になるというメリットがある。従来は水冷・油冷等により大掛かりな冷却系を必要としたが、SiCチップと圧接構造の組み合わせにより、安価で簡易な冷却器である放熱フィン等による冷却系だけでインバータが実現可能である。システムとして冷却系が省略可能になると、その分大きなコスト低減が実現できるという効果がある。

【0013】

放熱フィン等による冷却系を備えた3相インバータ外観の具体的な構成を図5、図6に示す。図5は、本実施の形態1における三相インバータの外形を説明する構造鳥瞰図である。

図5では、熱伝導率が高い絶縁材料から成る絶縁ケース20により高電圧が印加されるバスバーとは電氣的に絶縁されて放熱フィン31が上部に形成される。下部には同様に放熱フィン32が構成されるが、下部にはN相バスバー11が存在するため、この部分はバスバー11と放熱フィン32が直接接続される構造で構わない。

図5の右側には、電源電圧の入力端子となるP相バスバー7に接続されるP相入力端子23、N相バスバー11に接続されるN相入力端子24が形成されている。図5の左側には、出力端子であるU相バスバー8に接続されるU相出力端子200、V相バスバー9に接続されるV相出力端子21、W相バスバー10に接続されるW相出力端子22が形成される。手前側にはそれぞれの素子の制御端子、すなわち、U相上側制御端子25、U相下側制御端子26、V相上側制御端子

27、V相下側制御端子28、W相上側制御端子29、W相下側制御端子30が形成される。

【0014】

図6はこの構成の断面の一部を示したものである。

圧接構造を保つための仕組みの一例としては、各積層要素の両端を支える固定治具34、35、37、38があり、それぞれ圧接用ネジ33、36により接続されている。

このような実装構造を持つことにより、先にも記述したように冷却系を簡素化し、システムとして安価な3相インバータが形成可能になるという効果がある。

【0015】

高温に対して強いインバータとするためには、半田を使用しない構成が必要になるが、これらの積層構造を形成するには、各要素の位置合わせが重要になる。

そこで位置合わせが容易な組み立て方法を図7、図8の要部断面図を用いて説明する。

各バスバーの間は、半導体チップの厚み程度の短い距離で電気的な絶縁を保つ必要があり、そのような絶縁材料を形成する（これまでの図では、この絶縁材料は便宜上図示していなかった）。

まず、図7（a）に示すように、N相バスバー11上に、絶縁材料から成る絶縁層39、40を配置する。

次に、半導体チップ2を装填する。この場合、絶縁層39と絶縁層40の縁（端部）39a、40aを位置合わせ用のガイドとして用いる。

次に、図7（b）に示すように、U相バスバー8を積層した後に、再度、絶縁層41、42を積層する。

次に、半導体チップ1を装填する。この場合、絶縁層41と絶縁層42の縁41a、42aを位置合わせ用のガイドとして用いる。

最後に、図7（c）に示すように、P相バスバー7を積層することで組み立てが可能である。

【0016】

図 8 には、別の組み立て工程を示す。

まず、図 8 (a) に示すように、それぞれ N 相バスバー 11 上に絶縁層 39、40 を配置し、半導体チップ 2 を装填する場合に絶縁層 39 と絶縁層 40 の縁 39a、40a をガイドとして用いる。また、P 相バスバー 7 に絶縁層 41、42 を積層する。半導体チップ 1 を装填する場合に絶縁層 41 と 42 の縁 41a、42a をガイドとして用いる。それぞれ半導体チップ 1、2 が装填されたもので、U 相バスバー 8 を挟みこむことで組み立てが可能である。

【0017】

以上説明したように、絶縁層 39～42 を半導体チップ 1、2 装填時のガイドとして利用することで簡易に圧接構造を形成することが可能になるという効果がある。

【0018】

なお、上記特許文献においては、複数の半導体チップの表面において第 1 の共通電極を接続し、半導体チップは平面的に並列に並べる構成となっているため、半導体装置全体が大きくなってしまいう問題があった。また、上記構成であるが故に全ての半導体チップを接続してからでないと装置全体としての特性評価が行えない。部品点数が多くなることも災いして製品としての信頼性を確保するには、それぞれの半導体チップを特性の揃った高い信頼性のものにする必要があり、しいては歩留まり低下、コスト上昇を招くという問題があった。

【0019】

これに対して、本実施の形態 1 では、上記のように、第 1 主面側に第 1 の主電極（例えばドレイン電極）を有し、第 2 主面側に第 2 の主電極（例えば、ソース電極とゲート電極）を有する半導体素子を形成する半導体チップが複数積層されて成る積層型半導体装置において、各半導体チップの第 1 の主電極及び第 2 の主電極はそれぞれ金属配線層（バスバー 7～11）に電氣的に接続され、積層された半導体チップの間では、向かい合う主面側同士が共通の金属配線層（バスバー 8～10）に接続されていることを特徴する。このように、半導体チップが複数積層され、積層された半導体チップの向かい合う主面側同士が共通の金属配線層に接続されている構成をとるため、積層型半導体装置のうち、半導体チップの占

める面積を低減でき、小型化に有利な積層型半導体装置を実現できるとともに、半導体チップと金属配線層間の寄生のインダクタンスを極限まで低減できるという効果がある。

【0020】

また、上下に2つの半導体素子が積層され、上側に積層される半導体素子の第1の主電極は高電圧が印加される金属配線層（例えばバスバー7）に電氣的に接続され、上側に積層される半導体素子の第2の主電極と、下側に積層される半導体素子の第1の主電極が共通の出力配線層（バスバー8～10）に電氣的に接続され、下側に接続される半導体素子の第2の主電極は低電圧が印加される金属配線層（例えばバスバー11）に接続されていることを特徴とする。このように、半導体チップが複数積層され、積層された半導体チップの向かい合う主面側同士が共通の金属配線層に接続されている構成をとるため、積層型半導体装置のうち、半導体チップの占める面積を低減でき、半導体チップと金属配線層間の寄生のインダクタンスを極限まで低減できるという効果がある。

【0021】

なお、上記の説明においては、1つの半導体素子を1つの半導体チップとしたが、半導体素子は複数の半導体チップの並列接続により形成されていても構わない。このような構成によれば、電流容量の大きな半導体装置が実現可能になるという効果がある。

【0022】

また、半導体素子は、第2主面側に制御電極を有するパワートランジスタ1～6であり、制御電極は、第2主面側において出力配線層（バスバー8～10）及び低電圧が印加される金属配線層とは電氣的に絶縁され、上下2つの半導体素子によりハーフブリッジを形成していることを特徴とする。このように、制御端子を有するパワートランジスタが積層された構造であるため、基本パーツとしてのハーフブリッジを小型に形成できるという効果がある。

【0023】

また、半導体素子は第2主面側から第1主面側に向かって順方向の電流を流すダイオード14～19であることを特徴とする。このように、上下にダイオード

1 4 ～ 1 9 が積層される構造であるため、ハーフブリッジと対になって必要な還流用ダイオード 1 4 ～ 1 9 の上下セットを小型に形成できるという効果がある。

【 0 0 2 4 】

また、半導体素子は、第 1 主面側に制御電極を有するパワートランジスタ 1 ～ 6 と、第 2 主面側から第 1 主面側に向かって順方向の電流を流すダイオード 1 4 ～ 1 9 が並列に接続されて成ることを特徴とする。このように、ハーフブリッジと対になるダイオード 1 4 ～ 1 9 が同時にセットで積層された構造であるため、1 レグを小型に形成できるという効果がある。

【 0 0 2 5 】

また、ハーフブリッジが並列に 2 ～ 3 個（ここでは 3 個）接続され、高電圧が印加される金属配線層（バスバー 7）は全て共通とし、出力配線層（バスバー 8 ～ 1 0）は並列数に応じて 2 ～ 3 個持ち、低電圧が印加される金属配線層（バスバー 1 1）は全て共通となっていることを特徴とする。このように、2 ～ 3 相をまとめて、金属配線を共通とした構成であるため、半導体装置全体を小型にでき、配線の寄生インダクタンスを極限まで小さくすることができるという効果がある。

【 0 0 2 6 】

また、上側の半導体素子を形成する半導体チップと、下側の半導体素子を形成する半導体チップとが平面的に上下に重なり合わない領域を有し、該平面的に上下に重なり合わない領域に、制御電極と電氣的に接続される制御電極取り出し用金属配線層 1 2 U ～ 1 3 W が形成され、該制御電極取り出し用金属配線層は他の金属配線層とは電氣的に絶縁されていることを特徴とする。このように、上下に積層された半導体チップがお互いに平面的に重なり合わない領域を設けることにより、制御端子 2 5 ～ 3 0 を容易に同一方向に取り出せるという効果がある。

【 0 0 2 7 】

また、上側の半導体素子は複数の半導体チップの並列接続により形成され、下側の半導体素子は複数の半導体チップの並列接続により形成され、上側の複数の半導体チップと前記の複数の半導体チップは同一方向に平面的にずらして配置され、上下に重なり合わない領域を持ち、該平面的に上下に重なり合わない領域に

制御電極と電氣的に接続される制御電極取り出し用金属配線層が形成され、該制御電極取り出し用金属配線層は他の金属配線層とは電氣的に絶縁されていることを特徴とする。このように、複数の半導体チップの並列接続により半導体素子が形成される場合に、同じ方向に上下にずらしてチップが配置されることにより、同一方向に容易に制御端子 25～30 を取り出せるという効果がある。

【0028】

また、本実施の形態 1 の積層型半導体装置の組み立て方法は、高電圧が印加される金属配線層（バスバー 7）、上側の半導体素子（パワートランジスタ 1、3、5 及びダイオード 14、16、18）、出力配線層（バスバー 8～10）、下側の半導体素子（パワートランジスタ 2、4、6 及びダイオード 15、17、19）、低電圧が印加される金属配線層（バスバー 11）から成る積層構造を機械的圧力により接続することを特徴とする。このように、圧接により接続するので、小型構造を実現できるとともに、ワイヤボンド等による配線無くし、工程数、工程コストを低減できるという効果がある。

【0029】

また、本実施の形態 1 の積層型半導体装置の組み立て方法は、高電圧が印加される金属配線層（例えばバスバー 11）と出力配線層（バスバー 8、9、10）を電氣的に絶縁する第 1 の絶縁層（図 7、図 8 の 39、40）と、出力配線層（バスバー 8、9、10）と低電圧が印加される金属配線層（例えばバスバー 7）とを電氣的に絶縁する第 2 の絶縁層（41、42）とを有し、第 1 の絶縁層の平面的な配置により、上側の半導体素子（パワートランジスタ 1、3、5 及びダイオード 14、16、18）を圧接する際の位置合わせを行い、第 2 の絶縁層の平面的な配置により、下側の半導体素子（パワートランジスタ 2、4、6 及びダイオード 15、17、19）を圧接する際の位置合わせを行うことを特徴とする。このように、金属配線層の間の絶縁層をガイドとして半導体チップを装填する工法であるために、素子の位置合わせが容易となり、工程コストの低減が可能となるという効果がある。

【0030】

実施の形態 2

本発明の実施の形態 2 を図面に基づいて説明する。図 9 は、本発明における実施の形態 2 における基本ユニットを示す構造鳥瞰図である。

【0031】

以下、U 相を例に説明する。図 9 に示す構造は、U 相上側のパワートランジスタ 1、U 相下側のパワートランジスタ 2 を積層した構造であり、パワートランジスタ 1、2 は、P 相バスバー（金属配線層）7 と U 相出力バスバー 8、N 相バスバー 11 にそれぞれ接続されている。

実際には、半導体チップとバスバー 7、8、11 の間には、熱応力を吸収する熱緩衝材が実施の形態 1 のごとく挿入されているが、本実施の形態 2 においては簡単のため図示省略した。

また、U 相上側のパワートランジスタ 1 を駆動する制御電極取り出し用配線 12 U が半導体チップの下側に接続され、U 相下側のパワートランジスタ 2 を駆動する制御電極取り出し用配線 13 U が半導体チップの下側に形成されている。ここで、各制御電極取り出し用配線 12 U、13 U は、他の配線層や半導体チップとは電氣的に絶縁されている。

図 10 は、図 9 で示した基本ユニットを示す回路図であり、上下のパワートランジスタ 1、2 がシリーズに接続され、U 相の 1 レグを形成している。このような基本ユニットはパワートランジスタのみでなく、還流用ダイオードのシリーズ接続でも考えられる。

図 11 は、本実施の形態 2 の基本ユニットを用いて 3 相を組み立てる工程を模式的に表したもので、基本ユニット 43～45 が共通バスバー積層構造体 46 に接続される様子を示している。

共通バスバー積層構造体 46 は、P 相バスバー 47、U 相バスバー 48、V 相バスバー 49、W 相バスバー 50、N 相バスバー 51 の積層構造からなり、各バスバー 47～51 間は電氣的に絶縁されている。図示しないが、共通バスバー積層構造体 46 の側面には基本ユニット 43～45 を差し込む孔が開いている。基本ユニット 43～45 は、この孔に差し込むことで、図 12 に示すような 3 相インバータの構造が完成する。本来であれば、ダイオードのシリーズ接続からなる基本ユニットについても差し込まれる形とするが、ここでは簡単のため図示省略

する。

以上説明したような構造と工法を採ることにより、基本ユニット 43～45 において、あらかじめ電氣的な評価が可能となり、一旦特性を把握した基本ユニット 43～45 を取り付けすることで 3 相インバータを形成できる。このことにより信頼性の向上が容易となるという効果がある。また、3 相インバータとしての製品の歩留まりが向上するため、製品のコスト低減が可能となるという効果がある。また、保守性にも優れており、3 相のうち 1 相に不具合が発生した場合等でも、1 相のみを交換することで機能を保持することが可能であるという効果がある。また、3 相インバータ、Hブリッジ、ハーフブリッジ等、相数の異なる製品への展開性にも優れているという特徴を持つ。

【0032】

実施の形態 3

本発明の実施の形態 3 を説明する。図 13 は、実施の形態 3 における基本ユニットを示したものである。

Pch 型パワートランジスタ 52 と Nch 型パワートランジスタ 2 が積層され、P 相バスバー 53 と U 相出力バスバー 54、N 相バスバー 55 にそれぞれ接続されている。

実際には、半導体チップとバスバー 53～55 の間には、熱応力を吸収する熱緩衝材が実施の形態 1 のごとく挿入されているが、本実施の形態においては簡単のため図示省略した。

また、U 相上側の Pch 型パワートランジスタ 52 を駆動する制御電極取り出し用配線 56 が半導体チップの上側に接続され、U 相下側のパワートランジスタ 2 を駆動する制御電極取り出し用配線 57 が半導体チップの下側に形成されている。ここで、各制御電極取り出し用配線 56、57 は、他の配線層や半導体チップとは電氣的に絶縁されている。

Pch 型パワートランジスタ 52 は、チャネル領域を高電圧にバイアスするため、高電圧の印加される P 相バスバー 53 と同一面に制御電極取り出し用配線 56 が形成されていることが特徴である。

【0033】

図14は回路図を示し、上下のパワートランジスタ52、2がシリーズに接続され、1相分（1レグ）を形成している。所謂コンプリメンタリ型の接続を成している。

【0034】

以上説明したような構成とすることで、両制御電極の取り出しが、半導体チップが積層された基本ユニットにおいて、上下方向外面に向かって形成できる。制御電極の取り出しは、各ユニット外部のドライブ回路等に接続されるわけであるが、外面に面して形成されるため外部接続が容易になるという独特の効果を持つ。

【0035】

上記のように、本実施の形態3では、半導体素子は、第1主面側に制御電極を有するPch型パワートランジスタ52と、第2主面側に制御電極を有するNch型パワートランジスタ2とから成るコンプリメンタリ型の接続を有し、上側に位置するPch型パワートランジスタ52の制御電極は、第1主面側において高電圧が印加される金属配線層（バスバー7）とは電氣的に絶縁され、下側に位置するNch型パワートランジスタ2の制御電極は、第2主面側において低電圧が印加される金属配線層（バスバー11）とは電氣的に絶縁され、上下2つの半導体素子によりハーフブリッジを形成していることを特徴とする。このように、Pch型パワートランジスタ52とNch型トランジスタ2のコンプリメンタリ接続とすることで、積層構造の上下方向にそれぞれ独立に制御端子を容易に取りさせるという効果がある。

【0036】

また、半導体素子は、Pch、Nch型各々のパワートランジスタ52、2と、第2主面側から第1主面側に向かって順方向の電流を流すダイオード（図示省略。実施の形態1参照）が並列に接続されていることを特徴とする。このように、Pcn型パワートランジスタ52とNch型トランジスタ2のコンプリメンタリ接続において、合わせて上下にダイオードが積層される構造であるため、ハーフブリッジと対になって必要な還流用ダイオードの上下セットを小型に形成できるという効果がある。

【0037】

また、ハーフブリッジが並列に2～3個接続され、高電圧が印加される金属配線層（バスバー7）は全て共通とし、出力配線層（バスバー8）は並列数に応じて2～3個持ち（図9では1個のみ図示。実施の形態1参照）、低電圧が印加される金属配線層（バスバー11）は全て共通となっていることを特徴とする。このように、Pc n型パワートランジスタとNc h型トランジスタのコンプリメンタリ接続において、2～3相をまとめて、金属配線を共通とした構成であるため、半導体装置全体を小型にでき、配線の寄生インダクタンスを極限まで小さくすることができるという効果がある。

【0038】

さらに、本実施の形態3の積層型半導体装置の組み立て方法は、高電圧が印加される金属配線層、上側のPc h型半導体素子、出力配線層、下側のNc h型半導体素子、低電圧が印加される金属配線層から成る積層構造を機械的圧力により接続することを特徴とする（実施の形態1参照）。このように、Pc n型パワートランジスタとNc h型トランジスタのコンプリメンタリ接続において、圧接により接続される構造であるため、小型な積層型半導体装置を提供できるとともに、ワイヤボンド等による配線を無くし、工程数、工程コストを低減できるという効果がある。

【0039】

以上本発明を実施の形態に基づいて具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】**【図1】**

（a）は本発明の実施の形態1を説明する構造鳥瞰図、（b）は本発明の実施の形態1を説明する構造断面図（（a）のa-a断面）、（c）は本発明の実施の形態1を説明する構造断面図（（a）のb-b断面）

【図2】

本発明の実施の形態1を説明する構造断面図（図1（a）のc-c断面）

【図 3】

本発明の実施の形態 1 を説明する三相インバータの回路図

【図 4】

本発明の実施の形態 1 における積層構造を説明する構造鳥瞰図

【図 5】

本発明の実施の形態 1 における三相インバータの外形を説明する構造鳥瞰図

【図 6】

本発明の実施の形態 1 における三相インバータの断面構造図

【図 7】

本発明の実施の形態 1 における積層構造の組み立て工程図

【図 8】

本発明の実施の形態 1 における積層構造の別の組み立て工程図

【図 9】

本発明の実施の形態 2 における基本ユニットを説明する構造鳥瞰図

【図 1 0】

本発明の実施の形態 2 における基本ユニットを説明する回路図

【図 1 1】

本発明の実施の形態 2 における組み付け工程を説明する構造鳥瞰図

【図 1 2】

本発明の実施の形態 2 における構造を説明する構造鳥瞰図

【図 1 3】

本発明の第三の実施の形態における基本ユニットを説明する構造鳥瞰図

【図 1 4】

本発明の第三の実施の形態における基本ユニットを説明する回路図

【符号の説明】

1 … U 相上側パワートランジスタ

1 a、1 b、2 a、2 b、3 a、3 b、4 a、4 b、5 a、5 b、6 a、6 b …

熱緩衝材

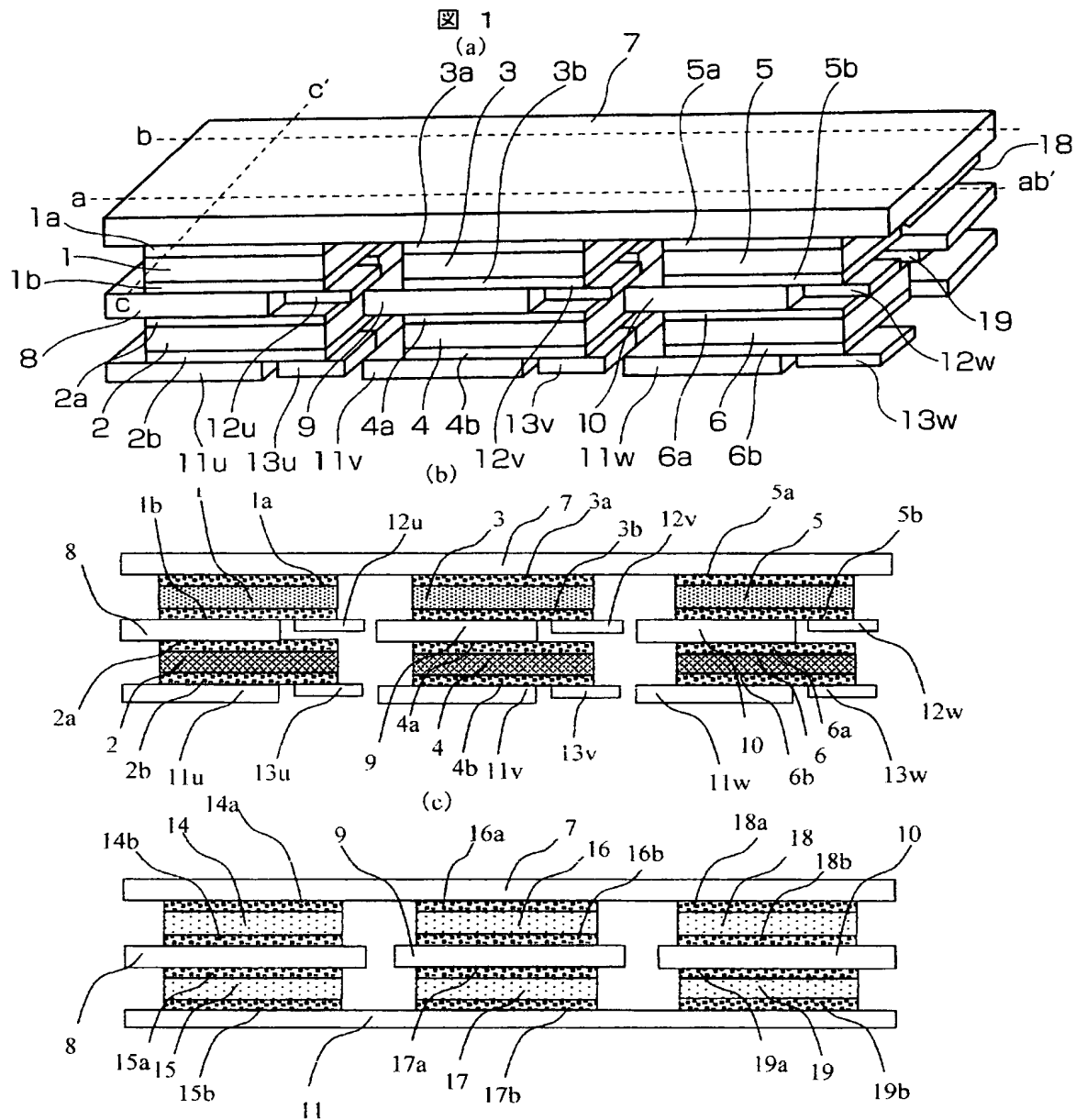
2 … U 相下側パワートランジスタ

- 3…V相上側パワートランジスタ
- 4…V相下側パワートランジスタ
- 5…W相上側パワートランジスタ
- 6…W相下側パワートランジスタ
- 7…P相バスバー
- 8…U相出力バスバー
- 9…V相出力バスバー
- 10…W相出力バスバー
- 11、11U、11V、11W…N相バスバー
- 12U…U相上側制御電極取り出し用配線
- 12V…V相上側制御電極取り出し用配線
- 12W…W相上側制御電極取り出し用配線
- 13U…U相下側制御電極取り出し用配線
- 13V…V相下側制御電極取り出し用配線
- 13W…W相下側制御電極取り出し用配線
- 14…U相上側還流用ダイオード
- 14a、14b、15a、15b、16a、16b、17a、17b、18a、
18b、19a、19b…熱緩衝材
- 15…U相下側還流用ダイオード
- 16…V相上側還流用ダイオード
- 17…V相下側還流用ダイオード
- 18…W相上側還流用ダイオード
- 19…W相下側還流用ダイオード
- 20…絶縁ケース
- 21…V相出力端子
- 22…W相出力端子
- 23…P相入力端子
- 24…N相入力端子
- 25…U相上側制御端子

2 6 … U 相下側制御端子
2 7 … V 相上側制御端子
2 8 … V 相下側制御端子
2 9 … W 相上側制御端子
3 0 … W 相下側制御端子
3 1 … 上側放熱フィン
3 2 … 下側放熱フィン
3 3、3 6 … 圧接用ネジ
3 4、3 5、3 7、3 8 … 固定冶具
3 5 … 固定冶具
3 9 ～ 4 2 … 絶縁層
3 9 a ～ 4 2 a … 縁
4 3 ～ 4 5 … 基本パーツ
4 6 … 共通バスバー積層構造体
4 7 … P 相バスバー
4 8 … U 相バスバー
4 9 … V 相バスバー
5 0 … W 相バスバー
5 1 … N 相バスバー
5 2 … P c h 型パワートランジスタ
5 3 … P 相バスバー
5 4 … U 相バスバー
5 5 … N 相バスバー
5 6 … 上側制御電極取り出し用配線
5 7 … 下側制御電極取り出し用配線
2 0 0 … U 相出力端子

【書類名】 図面

【図 1】



1~6...パワートランジスタ

1a, 1b, 2a, 2b, 3a, 3b, 4a, 4b, 5a, 5b, 6a, 6b...緩衝材

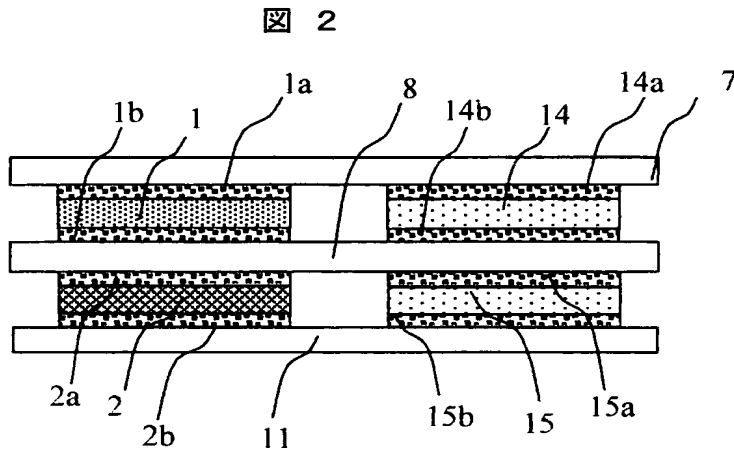
7~10, 11, 11U, 11V, 11W...バスバー

12U, 12V, 12W, 13U, 13V, 13W...制御電極取り出し用配線

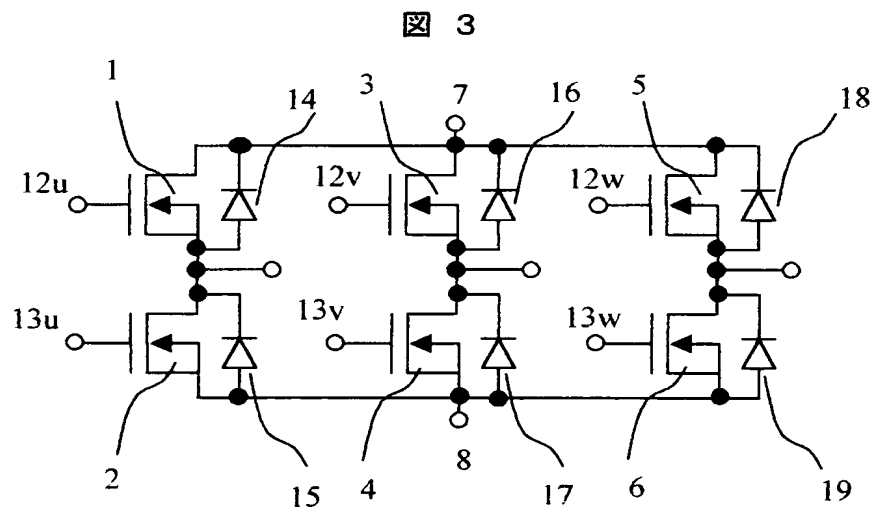
14~19...還流用ダイオード

14a, 14b, 15a, 15b, 16a, 16b, 17a, 17b, 18a, 18b, 19a, 19b...熱緩衝材

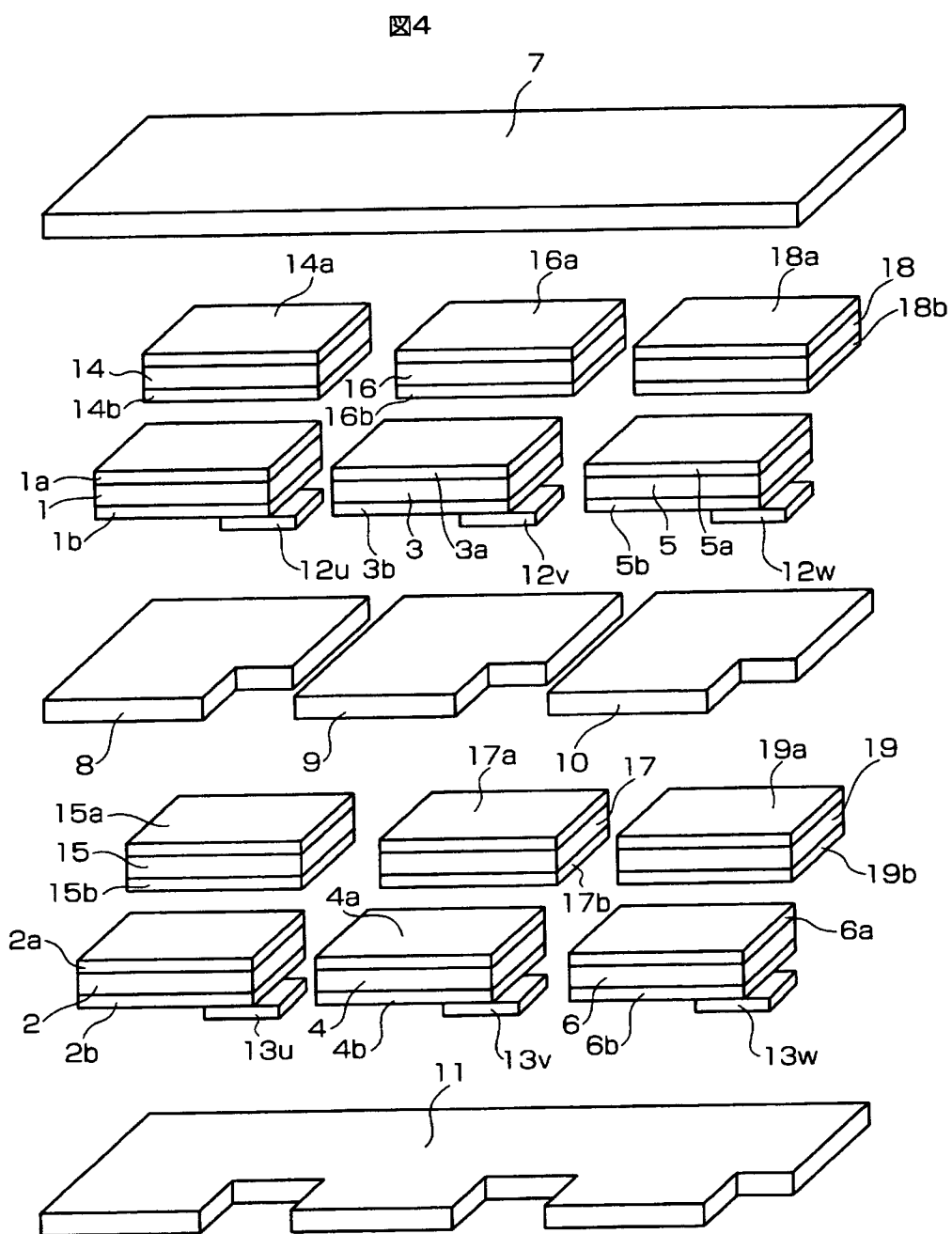
【図 2】



【図 3】

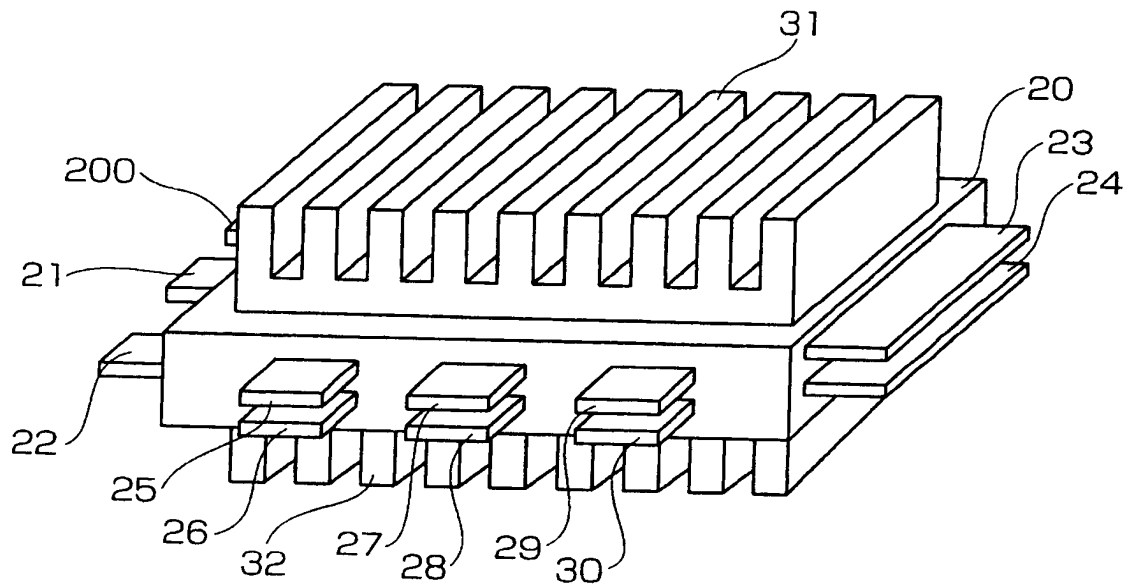


【図 4】



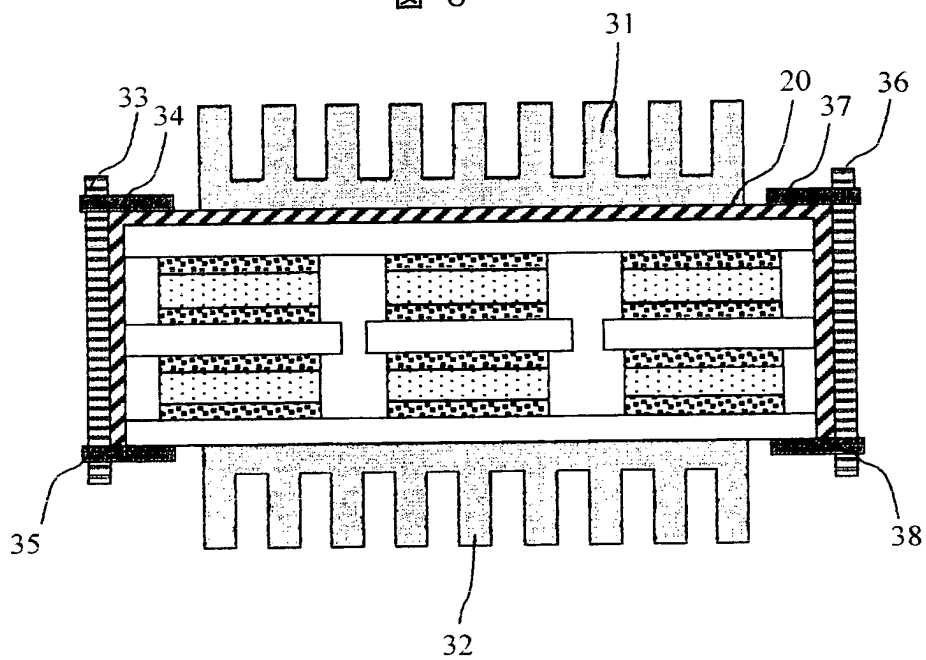
【図 5】

図5

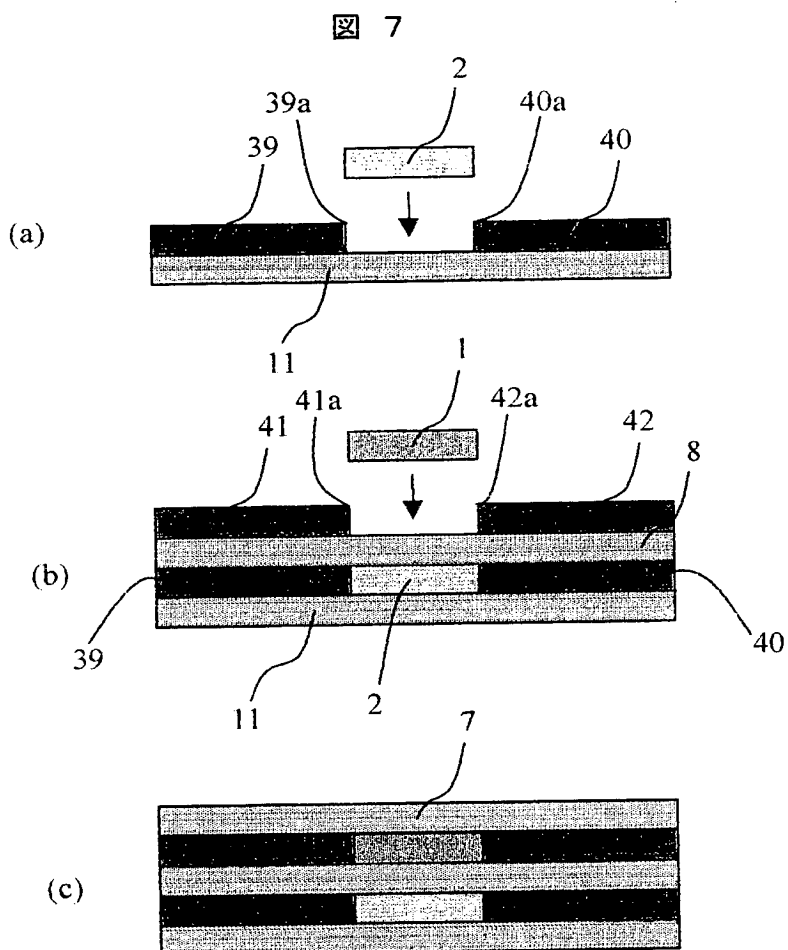


【図 6】

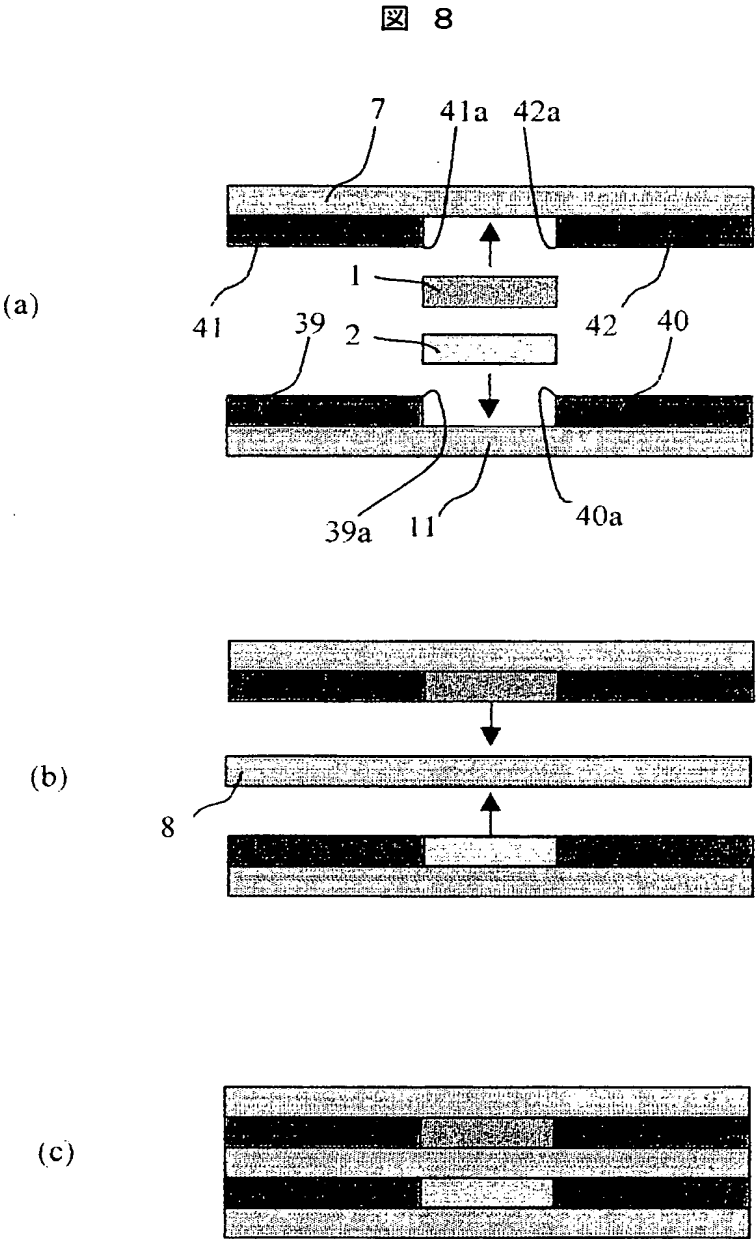
図 6



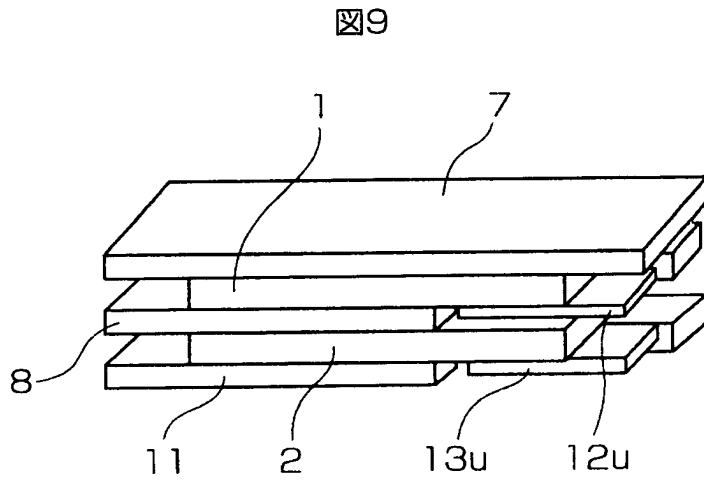
【図 7】



【図 8】

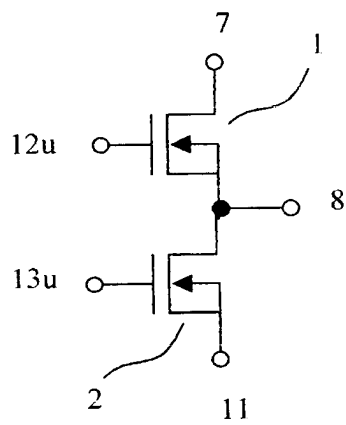


【図 9】

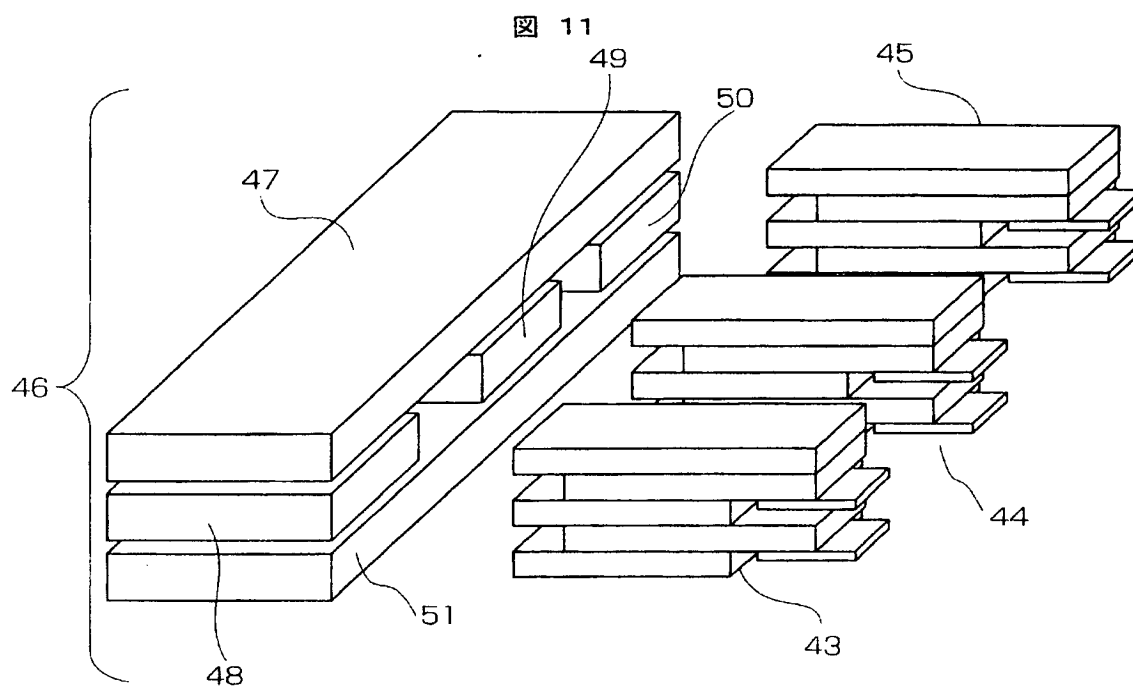


【図 1 0】

図 10

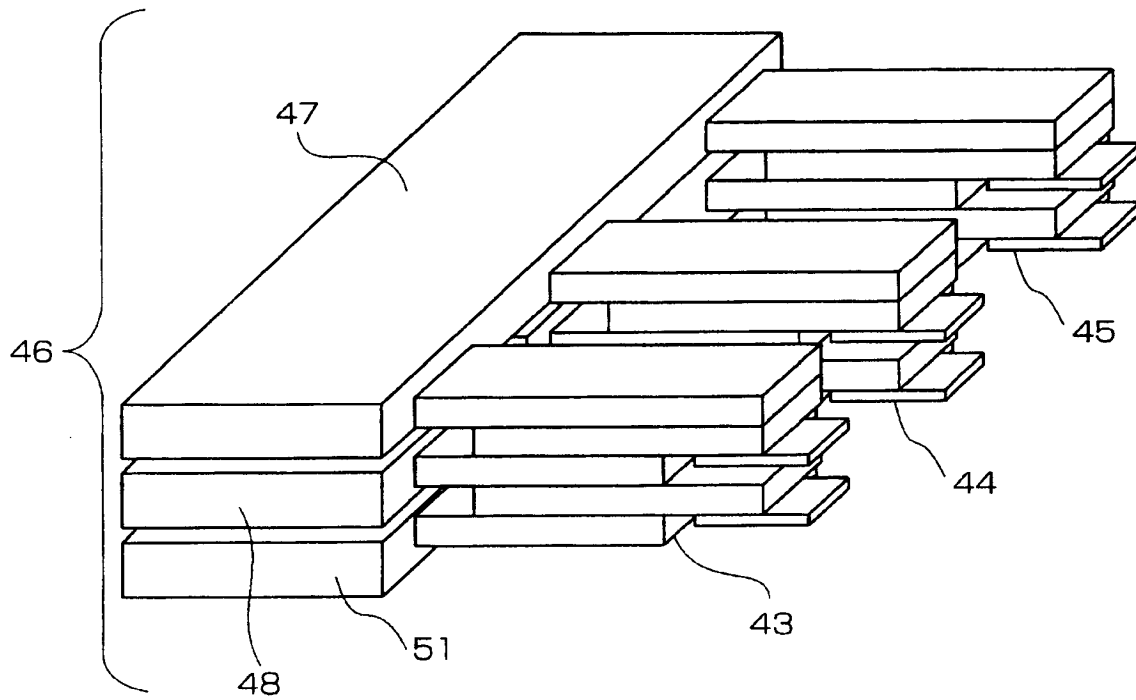


【図 11】



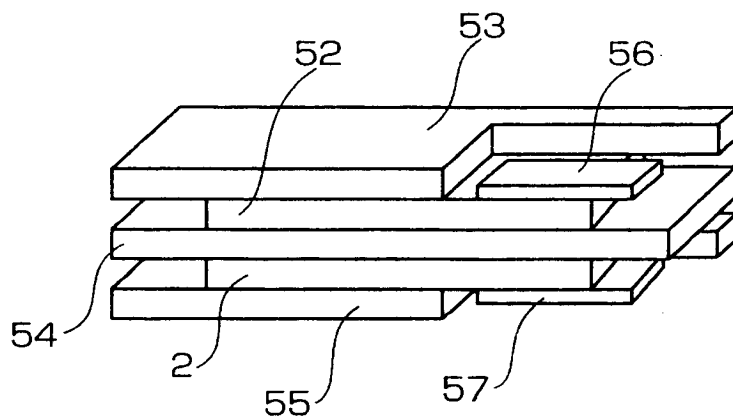
【図 12】

図12



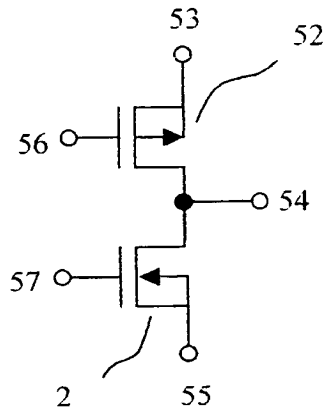
【図 13】

図13



【図 1 4】

図 14



【書類名】 要約書

【要約】

【課題】 小型化に有利な積層型半導体装置およびその組み立て方法を提供する。

【解決手段】 第1主面側にドレイン電極を有し、第2主面側にソース電極とゲート電極を有するパワートランジスタ1～6が複数積層されて成る積層型半導体装置において、各パワートランジスタ1～6のドレイン電極、及びソース電極とゲート電極は、それぞれバスバー7～11に電氣的に接続され、積層されたパワートランジスタ1～6の間では、向かい合う主面側同士が共通のバスバー8～10に接続されている構成。

【選択図】 図1



特願 2 0 0 2 - 3 0 1 5 6 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 9 9 7]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

神奈川県横浜市神奈川区宝町 2 番地

氏 名

日産自動車株式会社